

PAT-NO: JP02004273938A
DOCUMENT-IDENTIFIER: JP 2004273938 A
TITLE: STACKED SEMICONDUCTOR DEVICE

PUBN-DATE: September 30, 2004

INVENTOR-INFORMATION:

NAME	COUNTRY
NISHIMURA, TAKAO	N/A
AIBA, KAZUYUKI	N/A
TAKASHIMA, AKIRA	N/A

{

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP2003065392

APPL-DATE: March 11, 2003

INT-CL (IPC): H01L025/10 , H01L025/11 , H01L025/18

ABSTRACT:

PROBLEM TO BE SOLVED: To stack a general-purpose semiconductor device part (semiconductor device) regarding a stacked semiconductor device having a three-dimensional structure wherein a plurality of semiconductor device parts and semiconductor elements are stacked.

SOLUTION: An interposer substrate 13A is disposed between an upper device part 11A and a lower device part 12A. The upper device part 11A has a semiconductor element 14A, a first wiring substrate 16A and an external connection terminal 22. The lower device part 12A has a second wiring substrate 17A located in a lower part of the upper device part 11A, a semiconductor element 15A and a connection electrode 26 formed in an upper surface 24A of the second wiring substrate 17A. The interposer substrate 13A has a circuit substrate body 18A disposed between the first wiring substrate 16A and the

second wiring substrate 17A, a first conductive member 32 connected to the connection electrode 26, a second conductive member 33 which is formed corresponding to a formation position of the external connection terminal 22 and electrically connected to the external connection terminal 22 and a third conductive member 34A connecting the first conductive member 32 and the second conductive member 33.

COPYRIGHT: (C)2004,JPO&NCIPI

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-273938

(P2004-273938A)

(43) 公開日 平成16年9月30日(2004.9.30)

(51) Int.Cl.⁷H01L 25/10
H01L 25/11
H01L 25/18

F 1

H01L 25/14

Z

テーマコード(参考)

審査請求 有 請求項の数 9 O L (全 17 頁)

(21) 出願番号

特願2003-65392 (P2003-65392)

(22) 出願日

平成15年3月11日 (2003.3.11)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100070150

弁理士 伊東 忠彦

(72) 発明者 西村 隆雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 合葉 和之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 高島 晃

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

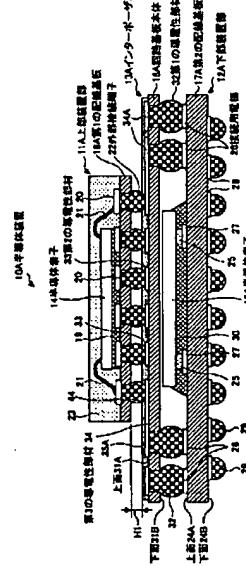
(54) 【発明の名称】積層型半導体装置

(57) 【要約】

【課題】本発明は複数の半導体装置部及び半導体素子を積層した三次元構造を有する積層型半導体装置に関し、汎用の半導体装置部(半導体装置)を積層可能とするこことを課題とする。

【解決手段】上部装置部11Aと下部装置部12Aとの間にインターポーラ基板13Aを配設した構成とする。上部装置部11Aは、半導体素子14A、第1の配線基板16A、及び外部接続端子22とを有する。また、下部装置部12Aは、上部装置部11Aの下部に位置する第2の配線基板17A、半導体素子15A、及び第2の配線基板17Aの上面24Aに形成された接続用電極26を有する。また、インターポーラ基板13Aは、第1の配線基板16Aと第2の配線基板17Aとの間に配設される回路基板本体18A、接続用電極26と接続する第1の導電性部材32、外部接続端子22の形成位置に対応して形成され外部接続端子22と電気的に接続する第2の導電性部材33と、第1の導電性部材32と第2の導電性部材33を接続する第3の導電性部材34Aとを有する。

本発明の第1実施例である半導体装置の断面図



【特許請求の範囲】

【請求項 1】

第1の配線基板と、該第1の配線基板に搭載された少なくとも一つの半導体素子と、外部接続用端子とを有する第1の半導体装置部と、

前記第1の半導体装置部の下部に位置するよう配設された第2の配線基板と、該第2の配線基板に搭載された少なくとも一つの半導体素子と、前記第2の配線基板の前記第1の半導体装置部と対向する面に形成された接続用電極とを有する第2の半導体装置部と、
前記第1の半導体装置部と前記第2の半導体装置部との間に配設される回路基板本体と、
前記接続用電極と電気的に接続する第1の導電性部材と、前記外部接続端子の形成位置に対応して形成されており該外部接続端子と電気的に接続する第2の導電性部材と、前記第1の導電性部材と前記第2の導電性部材を接続する第3の導電性部材とを有する第3の配線基板と、

を具備することを特徴とする積層型半導体装置。

【請求項 2】

請求項1記載の積層型半導体装置において、

前記第1の導電性部材を、前記回路基板本体を貫通して形成されると共に前記第3の導電性部材と接続された半田バンプにより構成したことを特徴とする積層型半導体装置。

【請求項 3】

請求項1記載の積層型半導体装置において、

前記第1の導電性部材を半田バンプにより構成すると共に、

前記第2の導電性部材及び前記第3の導電性部材を、前記第3の配線基板の前記第2の半導体装置部と対向する面に形成し、

かつ、前記外部接続端子を前記第3の配線基板に形成された貫通孔を介して前記第2の導電性部材と電気的に接続したことを特徴とする積層型半導体装置。

【請求項 4】

請求項1記載の積層型半導体装置において、

前記第2の導電性部材及び前記第3の導電性部材を、前記第3の配線基板の前記第1の半導体装置部と対向する面と、前記第2の半導体装置部と対向する面との両面にそれぞれに形成すると共に、

該両面に形成された第3の導電性部材を前記回路基板本体を貫通して形成された貫通電極で電気的に接続した構成としたことを特徴とする積層型半導体装置。

30

20

30

40

【請求項 5】

請求項1乃至4のいずれかに記載の積層型半導体装置において、

前記第1の半導体装置部を複数積層した構造としたことを特徴とする積層型半導体装置。

【請求項 6】

請求項1乃至5のいずれかに記載の積層型半導体装置において、

前記第2の半導体装置部を複数積層した構造としたことを特徴とする積層型半導体装置。

【請求項 7】

請求項1乃至6のいずれかに記載の積層型半導体装置において、

前記第3の配線基板を多層配線基板としたことを特徴とする積層型半導体装置。

【請求項 8】

請求項1乃至7のいずれかに記載の積層型半導体装置において、

前記第3の配線基板に受動素子を設けたことを特徴とする積層型半導体装置。

【請求項 9】

請求項8記載の積層型半導体装置において、

前記第3の配線基板を多層配線基板とすると共に、

前記受動素子を前記多層配線基板の内部に形成したことを特徴とする積層型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

50

本発明は積層型半導体装置に係り、特に複数の半導体装置部及び半導体素子を積層した三次元構造を有する積層型半導体装置に関する。

【0002】

近年の電子機器の発達に伴い、電子機器に使用される半導体装置には、小型化、薄型化、多機能化、高機能化、高密度化が益々要求されている。このような要求に対処すべく、半導体装置パッケージの構造は、複数の半導体装置部あるいは複数の半導体素子を積層した三次元構造に移行しつつある。

【0003】

【従来の技術】

従来、複数の半導体装置部（半導体素子単体、或いは半導体素子をパッケージングした構成のものをいう）を積層した三次元構造を有した半導体装置として、例えば特許文献1または特許文献2に開示されたものがある。特許文献1には、外部端子としてリードフレームを用いたQFP（クワッド・フラット・パッケージ）型パッケージが開示されている。この半導体装置は、リードフレームのインナーリード部を変形させて凸部を形成することでパッケージ上部に端子を設け、そのパッケージの上部に、上下面に端子を持つ積層配線基板をはんだバンプで接続する構成とされている。10

【0004】

また、特許文献2には、半導体素子をモールド封止した半導体装置部を多段に積層した構造の半導体装置が開示されている。この半導体装置は、モールド封止された半導体装置部のモールド封止部に貫通配線を形成して、パッケージの上部に端子を設け、そのパッケージの上部に、上下面に端子を持つ再配線基板を半田ボールにより接続する構成とされている。20

【0005】

【特許文献1】

特開平06-252334号公報（第3-7頁、第1図）

【0006】

【特許文献2】

特開2002-158312号公報（第3-7頁、第1図）

【0007】

【発明が解決しようとする課題】

しかしながら、特許文献1に開示された半導体装置は、下部に配設される半導体装置部は複数個多段積層できず、またリードフレームを変形してパッケージ上部に端子を形成する必要があるため、製造工程が多く、そのため製造コストが高くなってしまうという問題点があつた。30

【0008】

また、特許文献2に開示された半導体装置は、個々の半導体装置部がモールドされているために薄型化が困難であり、また貫通配線を形成するために要する製造工程が多いため、製造コストが高くなるという問題点がある。

【0009】

また、特許文献1、2に開示されたような複数の半導体装置部を積層して三次元構造とした半導体装置においては、各半導体装置部の外部接続端子の配列を予め積層可能なように設定しておく必要がある。この場合、それぞれの半導体装置部を新規に設計・製造・試験をした後に積層して一体化するよりも、良品と保証された汎用の半導体装置入手し、これを半導体装置部として積層した方が、試験工程における設備・人件費を削減できることで、トータルコストで安くなる場合がある。しかしながら、各半導体装置部の外部接続端子の配列が、汎用の半導体装置を積層可能なようには設定されていないという問題点があつた。40

【0010】

本発明は上記の点に鑑みてなされたものであり、汎用の半導体装置部（半導体装置）を積層可能とした積層型半導体装置を提供することを目的とする。50

【0011】

【課題を解決するための手段】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0012】

請求項1記載の発明に係る積層型半導体装置は、

第1の配線基板と、該第1の配線基板に搭載された少なくとも一つの半導体素子と、外部接続用端子とを有する第1の半導体装置部と、

前記第1の半導体装置部の下部に位置するよう配設された第2の配線基板と、該第2の配線基板に搭載された少なくとも一つの半導体素子と、前記第2の配線基板の前記第1の半導体装置部と対向する面に形成された接続用電極とを有する第2の半導体装置部と、

10

前記第1の半導体装置部と前記第2の半導体装置部との間に配設される回路基板本体と、前記接続用電極と電気的に接続する第1の導電性部材と、前記外部接続端子の形成位置に対応して形成されており該外部接続端子と電気的に接続する第2の導電性部材と、前記第1の導電性部材と前記第2の導電性部材を接続する第3の導電性部材とを有する第3の配線基板とを具備することを特徴とするものである。

10

【0013】

上記発明によれば、外部接続端子と電気的に接続する第2の導電性部材は、外部接続端子の形成位置に対応して形成され、他に第2の導電性部材の形成位置を規制するものはない。このため、外部接続端子の配列が予め定められている汎用の半導体装置部を用いることが可能となる。また、第3の配線基板上における第2の導電性部材及び第3の導電性部材のレイアウトの自由度が向上するため、積層型半導体装置が容易に実現でき、これにより半導体装置の高機能化、多機能化に対応することができる。

20

【0014】

また、一般に複数の半導体装置部（半導体素子）を有する半導体装置においては、半導体装置の組立後に試験をすると、個々の半導体素子の歩留が累積された歩留となる。しかしながら、本請求項の発明に係る半導体装置は、汎用の半導体装置、換言すれば予め良品である品質保証がされた半導体装置を半導体装置部として搭載するため、半導体装置全体の製造歩留を向上させることができる。

30

【0015】

また、請求項2記載の発明は、

請求項1記載の積層型半導体装置において、

前記第1の導電性部材を、前記回路基板本体を貫通して形成されると共に前記第3の導電性部材と接続された半田バンプにより構成したことを特徴とするものである。

【0016】

上記発明によれば、第1の導電性部材を半田バンプにより構成したことにより、簡易かつ低コストに積層構造を実現することができる。

40

【0017】

また、請求項3記載の発明は、

請求項1記載の積層型半導体装置において、

前記第1ファン1の導電性部材を半田バンプにより構成すると共に、

前記第2の導電性部材及び前記第3の導電性部材を、前記第3の配線基板の前記第2の半導体装置部と対向する面に形成し、

かつ、前記外部接続端子を前記第3の配線基板に形成された貫通孔を介して前記第2の導電性部材と電気的に接続したことを特徴とするものである。

【0018】

上記発明によれば、外部接続端子を第2の導電性部材に接続する際、外部接続端子は第3の配線基板に形成された貫通孔を介して第2の導電性部材と電気的に接続される。このため、外部接続端子が貫通孔内に入り込む量に対応する高さだけ第1の半導体装置部と第3の配線基板とを近接でき、よって積層型半導体装置の薄型化を図ることができる。

50

【0019】

また、請求項4記載の発明は、

請求項1記載の積層型半導体装置において、

前記第2の導電性部材及び前記第3の導電性部材を、前記第3の配線基板の前記第1の半導体装置部と対向する面と、前記第2の半導体装置部と対向する面との両面にそれぞれに形成すると共に、

該両面に形成された第3の導電性部材を前記回路基板本体を貫通して形成された貫通電極で電気的に接続した構成としたことを特徴とするものである。

【0020】

上記発明によれば、第3の導電性部材を第3の配線基板の両面にそれぞれに形成することにより、片面のみに第3の導電性部材を形成する構成に比べ、第3の導電性部材をより複雑なパターンで形成でき、よって半導体装置の設計の自由度が向上する。 10

【0021】

また、第3の配線基板の両面に第2の導電性部材及び第3の導電性部材が形成されることにより、第3の配線基板の剛性が増し、温度変化による基板の反りや変形の発生を低減できる。これにより、半導体装置の信頼性を向上させることができる。

【0022】

また、請求項5記載の発明は、

請求項1乃至4のいずれかに記載の積層型半導体装置において、

前記第1の半導体装置部を複数積層した構造としたことを特徴とするものである。 20

【0023】

上記発明によれば、第1の半導体装置部が複数積層された構造となるため、半導体装置の高機能化、多機能化により有利となる。

【0024】

また、請求項6記載の発明は、

請求項1乃至5のいずれかに記載の積層型半導体装置において、

前記第2の半導体装置部を複数積層した構造としたことを特徴とするものである。 30

【0025】

上記発明によれば、第2の半導体装置部が複数積層された構造となるため、半導体装置の高機能化、多機能化により有利となる。

【0026】

また、請求項7記載の発明は、

請求項1乃至6のいずれかに記載の積層型半導体装置において、

前記第3の配線基板を多層配線基板としたことを特徴とするものである。 40

【0027】

上記発明によれば、第3の配線基板を多層配線基板とすることにより、より高密度な配線基板を形成できる。また、多層配線基板は片面配線基板或いは両面配線基板に比べて剛性が増すため、第3の配線基板の温度変化による基板の反り・変形を低減でき、組立工程での製造歩留を向上させることができる。

【0028】

また、請求項8記載の発明は、

請求項1乃至7のいずれかに記載の積層型半導体装置において、

前記第3の配線基板に受動素子を設けたことを特徴とするものである。 50

【0029】

上記発明によれば、第3の配線基板に受動素子を設けているため、所定の電気特性が要求される高周波デバイスに適した半導体装置を構成できる。

【0030】

また、請求項9記載の発明は、

請求項8記載の積層型半導体装置において、

前記第3の配線基板を多層配線基板とすると共に、



前記受動素子を前記多層配線基板の内部に形成したことを特徴とするものである。

【0031】

上記発明によれば、受動素子を多層配線基板の内部に形成したことにより、受動素子は第3の配線基板に一体的に組み込まれた状態となる。このため、第3の配線基板と別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

【0032】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。

【0033】

図1は、本発明の第1実施例である積層型半導体装置10A（以下、単に半導体装置という）を示している。半導体装置10Aは、大略すると上部半導体装置部11A（以下、上部装置部という）、下部半導体装置部12A（以下、下部装置部という）、及びインターポーヤ基板13A（請求項記載の第3の配線基板に相当する）等により構成されている。

【0034】

上部装置部11Aは、一般に市販されている汎用の半導体装置である。よって、上部装置部11Aは、製造メーカによって予め良品と保証されたものを用いる。

【0035】

この上部装置部11AはBGA（Ball Grid Array）タイプの半導体装置であり、第1の配線基板16Aの上面に半導体素子14Aが搭載されると共に、第1の配線基板16Aの下面には外部接続端子22が配設されている。この外部接続端子22は、半田ボールにより形成されている。

【0036】

本実施例では、半導体素子14Aは第1の配線基板16A上にフェイスアップで固定されている。また、第1の配線基板16Aには電極パッド20が形成されており、半導体素子14Aと電極パッド20はワイヤ21により接続されている。

【0037】

また、前記した外部接続端子22は第1の配線基板16Aに形成された貫通孔を介して電極パッド20に接続されている。よって、半導体素子14Aはワイヤ21及び電極パッド20を介して外部接続端子22に電気的に接続されている。また、第1の配線基板16Aの上部全体には封止樹脂23が形成されており、半導体素子14A、ワイヤ21等を保護している。

【0038】

下部装置部12Aは、大略すると半導体素子15A、第2の配線基板17A、及び外部接続端子29等により構成されている。

半導体素子15Aは、第2の配線基板17Aにフリップチップ接合により搭載されている。即ち、半導体素子15Aの回路面にある電極部（図示せず）にはバンプ25が予め形成されており、このバンプ25を第2の配線基板17Aの上面24Aに形成されたバンプ接合用電極27に接合することにより、半導体素子15Aは第2の配線基板17Aに電気的に接続される。また、バンプ25とバンプ接合用電極27との接合部分の強度を高めるため、半導体素子15Aと第2の配線基板17Aとの間にはアンダーフィル樹脂30が配設されている。

【0039】

第2の配線基板17Aは、上部装置部11Aの下部に位置するよう配設されている。即ち、下部装置部12Aは、上部装置部11Aの下部に配設された構成とされている。

【0040】

この第2の配線基板17Aは、その下面24Bに複数の下部電極28が形成されており、この下部電極28には外部接続端子29が接合されている。この外部接続端子29は、半導体装置10Aを実装基板に実装する際、実装基板に接合されるものである。また、外部接続端子29が接合される下部電極28は、第2の配線基板17Aに内蔵された内層配線

10

20

30

40

50

(図示せず)によりバンプ接合用電極27或いは接続用電極26に接続されている。

【0041】

接続用電極26は、後述するようにインターポーザ基板13Aの第1の導電性部材32が接合される電極であり、第2の配線基板17Aの上面24Aに形成されている。また、その配設位置は、半導体素子15Aの搭載位置を避けて形成されている。

【0042】

インターポーザ基板13Aは、大略すると回路基板本体18A、第1の導電性部材32、第2の導電性部材33、及び第3の導電性部材34A等により構成されている。

回路基板本体18Aは、前記した上部装置部11Aと下部装置部12Aとの間に配設されている。従って、インターポーザ基板13Aは上部装置部11Aと下部装置部12Aとの間に配設された構成とされている。この回路基板本体18Aは、ガラス-エポキシ或いはガラス-BT(ビスマレイミド・トリアジン)製の片面配線基板であり、本実施例では上面31Aに第2の導電性部材33による電極部及び第3の導電性部材34Aによる配線部が形成された構成とされている。

10

【0043】

第1の導電性部材32は半田バンプであり、インターポーザ基板13Aに形成された貫通孔を介して第3の導電性部材34Aに接続されている。この第1の導電性部材32は、下部装置部12Aとインターポーザ基板13Aとを電気的に接続する機能を奏するものである。このように、下部装置部12Aとインターポーザ基板13Aとを電気的に接続するのに半田バンプよりなる第1の導電性部材32を用いることにより、第1の導電性部材32を簡易かつ低コストに形成でき、かつ下部装置部12Aとインターポーザ基板13Aの積層処理を容易に実現することができる。

20

【0044】

また、回路基板本体18Aの上面31Aには、第2の導電性部材33及び第3の導電性部材34Aが形成されている。この各導電性部材33、34Aは、銅をプリント配線した構成とされている。また、この各導電性部材33、34Aは、回路基板本体18Aの上面31Aに形成された保護膜35Aにより保護されている。この保護膜35Aは、上部装置部11Aの外部接続端子22に対応する位置に開口部44が形成されている。

【0045】

第2の導電性部材33は、前述した上部装置部11Aの外部接続端子22が接合される。また、第3の導電性部材34Aは、第1の導電性部材32と第2の導電性部材33を電気的に接続する配線として機能する。

30

【0046】

従って、上部装置部11Aの外部接続端子22と、下部装置部12Aの接続用電極26は、第1の導電性部材32、第2の導電性部材33、及び第3の導電性部材34Aを介して電気的に接続された構成となる。これにより、上部装置部11Aと下部装置部12Aはインターポーザ基板13Aを中間に介して積層された半導体装置10Aを構成し、かつインターポーザ基板13Aは上部装置部11Aと下部装置部12Aを電気的に接続するインターポーザとして機能する。

40

【0047】

上記構成とされた半導体装置10Aは、第2の導電性部材33は上部装置部11Aの外部接続端子22の形成位置に対応して形成され、他に第2の導電性部材33の形成位置を規制するものはない。このため、回路基板本体18Aの上面31Aにおいて、第2の導電性部材33を外部接続端子22の配列に合わせて形成することが可能となる。このため、外部接続端子22の配列が予め定められている、汎用の半導体装置を上部装置部11Aとして用いることが可能となる。

【0048】

前記したように、一般に複数の半導体装置部(半導体素子)を有する半導体装置においては、半導体装置の組立後に試験をすると、個々の半導体素子の歩留が累積された歩留となる。しかしながら、本実施例の半導体装置10Aは、汎用の半導体装置、換言すれば予め

50

良品である品質保証がされた半導体装置を半導体装置部 11A として搭載するため、半導体装置 10A 全体としての製造歩留を向上させることができる。

【0049】

また、本実施例に係る半導体装置 10A では、上記のように第 2 の導電性部材 33 を半導体装置部 11A に合わせて形成できることにより設計の自由度を高めることができるが、合わせて回路基板本体 18A の上面 31A に形成される第 3 の導電性部材 34A についても設計の自由度を高めることもできる。これにより、積層型であることにより複雑となる配線構造を簡単化することが可能となり、半導体装置 10A の設計を容易に実現でき、これにより半導体装置 10A の高機能化、多機能化に対応することができる。

【0050】

尚、図示していないが、各基板間 16A、17A、13A の電気的接続部以外の部分であって、対向する間隙部に接着材を介在させて接着固定するような構造とすることも可能である（本実施例では、半導体素子 15A の非回路面（上面）と回路基板本体 18A との間隙等がこれに対応する）。また、以下説明する各実施例においても同様である。

【0051】

次に、本発明の第 2 実施例について説明する。

図 2 は、本発明の第 2 実施例である半導体装置 10B を示している。尚、第 2 実施例の説明、及びその後の各実施例の説明において用いる図 3 乃至図 7 において、図 1 に示した構成と対応する構成については同一符号を付してその説明を省略するものとする。

【0052】

本実施例に係る半導体装置 10B は、上部装置部 11A 及び下部装置部 12A は、前記した第 1 実施例に係る半導体装置 10A と同一構成とされている。しかしながら、第 1 実施例に係るインターポーラ基板 13A は、第 2 の導電性部材 33 及び第 3 の導電性部材 34A が回路基板本体 18A の上面 31A に形成されていたのに対し、本実施例では回路基板本体 18B の下面 31B に第 2 の導電性部材 33 及び第 3 の導電性部材 34B を形成したことを特徴とするものである。

【0053】

回路基板本体 18B の下面 31B は、下部装置部 12A と対向する側の面である。よって、本実施例に係る半導体装置 10B は、第 2 の導電性部材 33 及び第 3 の導電性部材 34B を、回路基板本体 18B の下部装置部 12A と対向する面に形成した構成としている。

【0054】

また、回路基板本体 18B の下面 31B に形成された第 2 の導電性部材 33 及び第 3 の導電性部材 34B は、回路基板本体 18B の下面 31B に形成された保護膜 35B により保護されている。また、下部装置部 12A の接続用電極 26 に対応する位置において、保護膜 35B には、開口部 44B が形成されている。この開口部 44B において、第 1 の導電性部材 32 と第 3 の導電性部材 34B とは接続されている。

【0055】

また、上部装置部 11A の外部接続端子 22 は、インターポーラ基板 13B の第 2 の導電性部材 33 に接続する必要がある。このため、回路基板本体 18B の上部装置部 11A の外部接続端子 22 の形成位置と対応する位置には貫通孔 36 が形成されており、外部接続端子 22 はこの貫通孔 36 を介して第 2 の導電性部材 33 に電気的に接続された構成とされている。

【0056】

具体的には、外部接続端子 22 は前記したように半田ボールであるため、上部装置部 11A をインターポーラ基板 13B に搭載する際に実施される加熱処理により外部接続端子 22 は溶融し、貫通孔 36 内に進入する。よって、外部接続端子 22 は貫通孔 36 を介して第 2 の導電性部材 33 に電気的に接続される。

【0057】

このように、本実施例に係る半導体装置 10B は、外部接続端子 22 の一部が回路基板本体 18B に形成された貫通孔 36 内に入り込んだ状態となる。このため、外部接続端子 2

10

20

30

40

50

2が貫通孔36に入り込む量に対応する高さ分だけ、上部装置部11Aとインターポーラ基板13Bとを近接することが可能となる。

【0058】

具体的には、第1実施例に係る半導体装置10Aでは、図1に示すように上部装置部11Aとインターポーラ基板13Aとの離間距離H1必要であったものを、本実施例に係る半導体装置10Bによれば、図2に矢印示すように外部接続端子22が貫通孔36に入り込むことにより、上部装置部11Aとインターポーラ基板13Bの離間距離H2を小さくすることができる（H2 < H1）。これにより、第1実施例の半導体装置10Aに比べ、本実施例に係る半導体装置10Aは薄型化を図ることができる。

【0059】

次に、本発明の第3実施例について説明する。

図3は、本発明の第3実施例である半導体装置10Cを示している。本実施例に係る半導体装置10Cも、上部装置部11A及び下部装置部12Aは前記した第1実施例に係る半導体装置10Aと同一構成とされている。しかしながら、第1及び第2実施例に係るインターポーラ基板13A、13Bは、第3の導電性部材34A、34Bを回路基板本体18Aの上面31A或いは下面31Bのいずれか片面にのみに形成していた。

【0060】

これに対して本実施例では、インターポーラ基板13Cの上面31A及び下面31Bの双方に第3の導電性部材34A、34Bを形成したことを特徴とするものである。具体的には、回路基板本体18Cの上面31Aに、外部接続端子22と接合される第2の導電性部材33と第3の導電性部材34Aとを形成し、回路基板本体18Cの下面31Bに第3の導電性部材34Bを形成した構成としている。尚、各第3の導電性部材34A、34B上には保護膜35A、35Bが形成されており、各第3の導電性部材34A、34Bを保護している。

【0061】

また、上部装置部11Aの外部接続用端子22に対応する位置において、保護膜35Aには、開口部44Aが形成されている。また、下部装置部12Aの接続用電極26に対応する位置において、保護膜35Bには、開口部44Bが形成されている。

【0062】

また、回路基板本体18Cの上面31Aに形成された第3の導電性部材34Aと、下面31Bに形成された第3の導電性部材34Bは、回路基板本体18Cを貫通して形成された貫通電極37により電気的に接続された構成とされている。この貫通電極37は、回路基板本体18Cに貫通孔を形成した後、この貫通孔に銅を充填することにより形成されたビア構造とされている。

【0063】

上記した本実施例に係る半導体装置10Cによれば、インターポーラ基板13Cが回路基板本体18Cの両面にそれぞれに第3の導電性部材34A、34Bを形成した構成であるため、片面のみに第3の導電性部材を形成する構成に比べ、第3の導電性部材34A、34Bをより複雑なパターンで形成でき、よって半導体装置10Cの設計の自由度を向上させることができる。また、この第3の導電性部材34A、34Bが補強材として機能することにより、インターポーラ基板13Cの剛性が増し、温度変化による基板の反りや変形の発生を低減できる。これにより、製造時においては製造歩留を向上させることができると共に、完成後は半導体装置10Cの信頼性を高めることができる。

【0064】

次に、本発明の第4実施例について説明する。

図4は、本発明の第4実施例である半導体装置10Dを示している。本実施例に係る半導体装置10Dは、インターポーラ基板13D上に複数の上部装置部11B、11Cを積層配置したことを特徴とするものである。

【0065】

最上部に位置する上部装置部11Bは、半導体素子14B、半導体素子14Cを第1の配

10

20

30

40

50

線基板 16B 上に積層した構造を有している。半導体素子 14C は第 1 の配線基板 16B にフリップチップ接合され、半導体素子 14B はこの半導体素子 14C 上にフェイスアップで接着剤 45 により接着固定されている。また、半導体素子 14B と第 1 の配線基板 16B は、ワイヤ接続された構成とされている。更に、第 1 の配線基板 16B の下面（上部装置部 11C と対向する面）には、接続電極 44A が形成されている。

【0066】

上部装置部 11C は、上記した上部装置部 11B の下部に配設されている。この上部装置部 11C は、第 1 の配線基板 16C に半導体素子 14D をフリップチップ接合した構成とされている。また、第 1 の配線基板 16C のインターポーラ基板 13D と対向する位置には、外部接続端子 22 が形成されている。更に、第 1 の配線基板 16C の上面（上部装置部 11B と対向する面）には、接続電極 44B が形成されている。10

【0067】

上記構成とされた上部装置部 11B と上部装置部 11C は、上部装置部 11B の第 1 の配線基板 16B に形成されている接続電極 44A と、上部装置部 11C の第 1 の配線基板 16C に形成されている接続電極 44B とを積層用バンプ 38A で接続することにより、電気的に接続された構成とされている。

【0068】

一方、下部装置部 12B は、本実施例では 2 個の半導体素子 15B, 15C を搭載した構成としている。各半導体素子 15B, 15C はバンプ 25 が形成されており、第 2 の配線基板 17B に形成されたバンプ接合用電極 27 にフリップチップ接合されている。20

【0069】

インターポーラ基板 13D は、上面 31A に第 2 の導電性部材 33 及び第 3 の導電性部材 34A が形成されており、下面 31B に第 1 の導電性部材 32 が接合される第 3 の導電性部材 34B を形成している。この第 3 の導電性部材 34A と第 3 の導電性部材 34B は、回路基板本体 18D 内に形成されたビアにより電気的に接続された構成とされている。

【0070】

上記したように本実施例に係る半導体装置 10D は、2 個の上部装置部 11B, 11C をインターポーラ基板 13D 上に積層した構成としている。この構成とすることにより、半導体装置 10D の更なる高機能化、多機能化を図ることができる。

【0071】

また、上部装置部の積層数は、本実施例のように 2 層に限定されるものではなく、3 層以上積層することも可能である。その場合の各上部装置部間の電気的接続、及び上部装置部とインターポーラ基板 13D の電気的接続は、フリップチップ接続、TAB 接続、ワイヤ接続等を適宜選定して用いることができる。また、各上部装置部において、第 1 の配線基板に搭載される半導体素子は、第 1 の配線基板の上面または下面、或いは両面のいずれに搭載することも可能である。30

【0072】

次に、本発明の第 5 実施例について説明する。

図 5 は、本発明の第 5 実施例である半導体装置 10E を示している。本実施例に係る半導体装置 10E は、インターポーラ基板 13D の下部に複数の下部装置部 12A, 12C を積層配置したことを特徴とするものである。40

【0073】

最下部に位置する下部装置部 12A は、図 1 に示した第 1 実施例に係る半導体装置 10A に設けられているものと同様の構成とされている。下部装置部 12C は、この下部装置部 12A の上部に積層されている。

【0074】

下部装置部 12C は、第 2 の配線基板 17C の上面に半導体素子 15D がフリップチップ接合されると共に、下面にも半導体素子 15E がフリップチップ接合された構成とされている。これにより、半導体素子 15D, 15E の実装密度の向上を図っている。また、第 2 の配線基板 17C の上面には接続電極 45A が形成されており、また下面には接続電極

50

45Bが形成されている。

【0075】

下部装置部12Aと下部装置部12Cは、第2の配線基板17Aに形成された接続用電極26と第2の配線基板17Cに形成された接続電極45Bを積層用バンプ38Bで接続することにより電気的に接続された構成とされている。また、インターポーラ基板13Dと下部装置部12Cは、回路基板本体18Dの下面31Bに形成されている第3の導電性部材34Bと、第2の配線基板17Cに形成されている接続電極45Aを第1の導電性部材32で接続することにより電気的に接続された構成とされている。

【0076】

一方、本実施例における上部装置部11Dは、半導体素子14E、半導体素子14Fを第1の配線基板16D上に積層した構造を有している。半導体素子14Fは第1の配線基板16Dの上部にフェイスアップで接着剤45Fにより接着固定され、半導体素子14Eはこの半導体素子14Fの上部にフェイスアップで接着剤45Eにより接着固定されている。

10

【0077】

この半導体素子14Eと第1の配線基板16Dはワイヤ接続されており、また半導体素子14Fと第1の配線基板16Dもワイヤ接続されている。これにより、各半導体素子14E、14Fは、第1の配線基板16Dと電気的に接続された状態となる。尚、インターポーラ基板13Dは、図4に示した第4実施例に係るものと同一構成とされている。

【0078】

上記したように本実施例に係る半導体装置10Eは、2個の下部装置部12A、12Cをインターポーラ基板13Dの下部に積層した構成としている。この構成とすることにより、半導体装置10Eの更なる高機能化、多機能化を図ることができる。

20

【0079】

また、下部装置部の積层数は、本実施例のように2層に限定されるものではなく、3層以上積層することも可能である。その場合の各下部装置部間の電気的接続、及び下部装置部とインターポーラ基板13Dの電気的接続は、フリップチップ接続、TAB接続、ワイヤ接続等を適宜選定して用いることができる。また、各下部装置部において、第2の配線基板に搭載される半導体素子は、第2の配線基板の上面または下面、或いは両面のいずれに搭載することも可能である。

30

【0080】

尚、本実施例ではインターポーラ基板13Dとして内層配線を有した多層基板を用いた例を示したが、前記した各実施例で示したような片面配線基板、或いは両面配線基板を用いることも可能である。

【0081】

次に、本発明の第6実施例について説明する。

図6は、本発明の第6実施例である半導体装置10Fを示している。本実施例に係る半導体装置10Fは、インターポーラ基板13Eを構成する回路基板本体18Eを多層配線基板と共に、この回路基板本体18E上に受動部品40を搭載したことを特徴とするものである。

40

【0082】

インターポーラ基板13Eは、回路基板本体18Eの内部に内層配線として構成される第3の導電性部材34Cが形成されている。この第3の導電性部材34Cは、第1の導電性部材32と第2の導電性部材33とを電気的に接続する。

【0083】

また本実施例では、この回路基板本体18Eに搭載される上部装置部11Eは、第1の配線基板16Dに半導体素子14Gがフリップチップ接合された構成とされている。

【0084】

更に、本実施例では、インターポーラ基板13Eの上部に、受動部品40を搭載した構成とされている。この受動部品40は、例えばチップコンデンサ、チップ抵抗等に代表され

50

る小型電子部品である。本実施例においては、受動部品40は、インターポーザ基板13Eの上部に半田付けされる。

【0085】

上記構成とされた半導体装置10Fは、インターポーザ基板13Eとして多層配線基板を用いているため、内層配線となる第3の導電性部材34Cをより高密度とすることができます。

【0086】

また、インターポーザ基板13Eは、内部に内層配線（第3の導電性部材34C）が形成されているため、片面配線基板或いは両面配線基板に比べて剛性が高い。このため、インターポーザ基板13Eに温度変化による反りや変形が発生することを抑制でき、よって半導体装置10Fの信頼性を高めることができる。

10

【0087】

また、本実施例に係る半導体装置10Fは、インターポーザ基板13Eに受動部品40を搭載した構成とされているため、所定の電気特性が要求される高周波デバイスに適している。

【0088】

尚、本実施例ではインターポーザ基板13Eとして内層配線を有した多層基板を用いた例を示したが、前記した各実施例で示したような片面単層配線基板、或いは両面単層配線基板を用いることも可能である。

【0089】

次に、本発明の第7実施例について説明する。

20

図7は、本発明の第7実施例である半導体装置10Gを示している。図6を用いて説明した第6実施例に係る半導体装置10Fでは、回路基板本体18Eとは別部品とされた受動部品40を用意し、これをインターポーザ基板13Eに半田付けする構成とした。

【0090】

これに対して本実施例に係る半導体装置10Gは、多層化されたインターポーザ基板13F内に内層配線として形成される第3の導電性部材34Cと共に、内層配線を利用して受動素子であるインダクタ部41及びコンデンサ部42を回路基板本体18F（インターポーザ基板13F）内に形成したことを特徴とするものである。

【0091】

尚、受動素子を多層配線基板の内部に形成する方法は、本実施例のように、内層配線として形成する方法の他、受動素子部品を多層配線基板の内部に埋設して内部配線として接続するように形成する方法もある。

30

【0092】

本実施例に係る半導体装置10Gによれば、受動素子であるインダクタ部41及びコンデンサ部42を多層基板である回路基板本体18Fの内層配線により形成したことにより、受動素子41, 42をインターポーザ基板13Fに一体的に組み込むことができる。このため、回路基板本体18Fと別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

40

【0093】

【発明の効果】

上述の如く本発明によれば、次に述べる種々の効果を実現することができる。

【0094】

請求項1記載の発明によれば、外部接続端子の配列が予め定められている汎用の半導体装置部を積載接続できるため、設計の自由度が向上し、複数の半導体装置を組み合わせて機能するようなシステムを有する積層型半導体装置が容易に実現できる。これにより、半導体装置の高機能化、多機能化に対応することができる。

【0095】

また、品質保証された汎用の半導体装置を組み込むことによって、試験工程を簡略化できるので製造コストの低減を図れ、製造歩留りを向上させることができる。

50

【0096】

また、請求項2記載の発明によれば、第1の導電性部材を半田バンプにより構成したことにより、簡易かつ低コストに積層構造を実現することができる。

【0097】

また、請求項3記載の発明によれば、外部接続端子が貫通孔内に入り込む量に対応する高さだけ第1の半導体装置部と第3の配線基板を近接できるため、積層型半導体装置の薄型化を図ることができる。

【0098】

また、請求項4記載の発明によれば、片面のみに第3の導電性部材を形成する構成に比べ、第3の導電性部材をより複雑なパターンで形成でき、よって半導体装置の設計の自由度が向上する。また、第3の配線基板の剛性が増し、温度変化による基板の反りや変形の発生を低減できるため、半導体装置の信頼性を向上させることができる。10

【0099】

また、請求項5及び請求項6記載の発明によれば、半導体装置の高機能化、多機能化により有利となる。

【0100】

また、請求項7記載の発明によれば、第3の配線基板を多層配線基板とすることにより、より高密度な配線基板を形成できる。また、多層配線基板は片面配線基板或いは両面配線基板に比べて剛性が増すため、第3の配線基板の温度変化による基板の反り・変形を低減でき、組立工程での製造歩留を向上させることができる。20

【0101】

また、請求項8記載の発明によれば、第3の配線基板に受動素子を設けているため、所定の電気特性が要求される高周波デバイスに適した半導体装置を構成できる。

【0102】

また、請求項9記載の発明によれば、第3の配線基板と別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例である半導体装置の断面図である。

【図2】本発明の第2実施例である半導体装置の断面図である。

30

【図3】本発明の第3実施例である半導体装置の断面図である。

【図4】本発明の第4実施例である半導体装置の断面図である。

【図5】本発明の第5実施例である半導体装置の断面図である。

【図6】本発明の第6実施例である半導体装置の断面図である。

【図7】本発明の第7実施例である半導体装置の断面図である。

【符号の説明】

10A～10G 半導体装置

40

11A～11E 上部装置部

12A～12D 下部装置部

13A～13F インターポーヴ基板

14A～14H, 15A～15E 半導体素子

16A～16D 第1の配線基板

17A～17C 第2の配線基板

18A～18E 回路基板本体

22 外部接続端子

24A, 31A 上面

24B, 31B 下面

26 接続用電極

27 バンプ接合用電極

28 下部電極

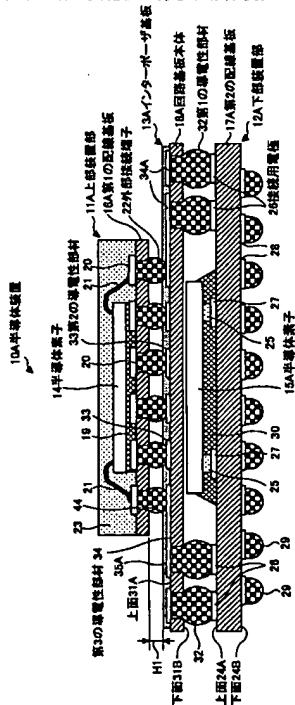
50

- 29 外部接続端子
 32 第1の導電性部材
 33 第2の導電性部材
 34A～34C 第3の導電性部材
 35, 35A, 35B 保護膜
 36 貫通孔
 37 貫通電極
 38A, 38B 積層用バンブ
 39 内層配線
 40 受動部品
 41 インダクタ部
 42 コンデンサ部
 44, 44A, 44B 開口部
 45, 45E, 45F 接着剤

10

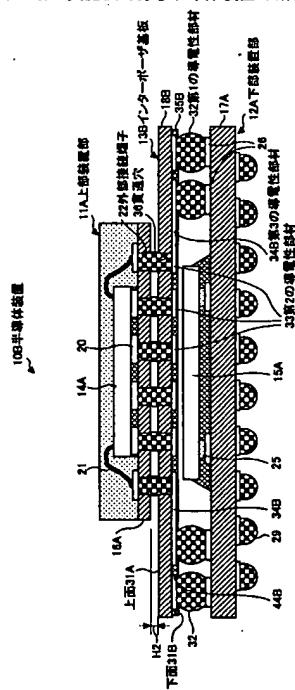
【図1】

本発明の第1実施例である半導体装置の断面図



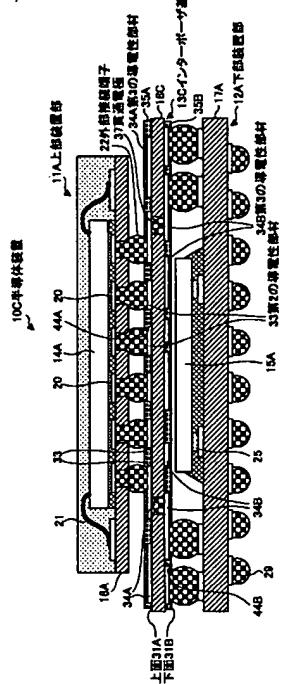
【図2】

本発明の第2実施例である半導体装置の断面図



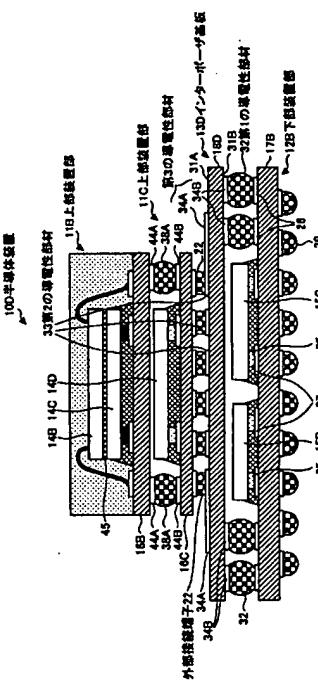
【図 3】

本発明の第3実施例である半導体装置の断面図



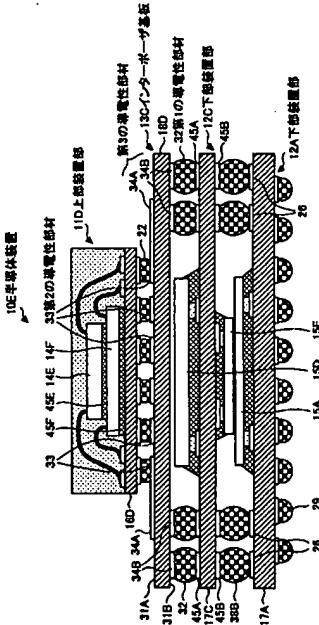
【図 4】

本発明の第4実施例である半導体装置の断面図



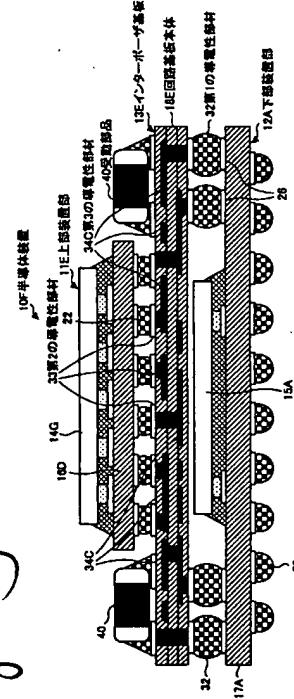
【図 5】

本発明の第5実施例である半導体装置の断面図



【図 6】

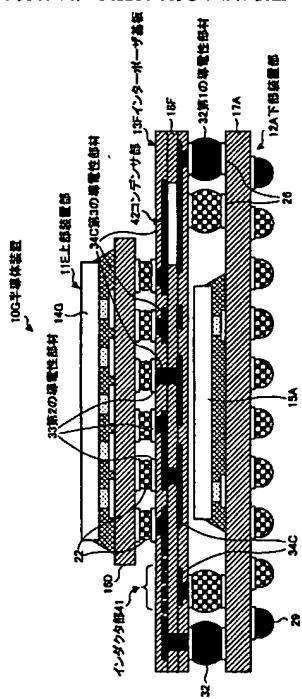
本発明の第6実施例である半導体装置の断面図



17C → carrier substrate
 18D → carrier substrate
 (15P/14P) → chip
 32 - projecting electrode

【図 7】

本発明の第7実施例である半導体装置の断面図



フロントページの続き

【要約の続き】

【選択図】 図1